

WEST

Generate Collection

Print

L5: Entry 1 of 2

File: JPAB

Nov 15, 1994

PUB-NO: JP406318602A
DOCUMENT-IDENTIFIER: JP 06318602 A
TITLE: SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUBN-DATE: November 15, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

KATSUMATA, YASUHIRO

IINUMA, TOSHIHIKO

TSUBOI, YOSHIRO

IWAI, HIROSHI

INOUE, KAZUMI

YOSHINO, CHIHIRO

USUDA, KOJI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP05107950

APPL-DATE: May 10, 1993

INT-CL (IPC): H01L 21/331; H01L 29/73

ABSTRACT:

PURPOSE: To secure breakdown voltage without increasing the depletion layer width between a base and a collector by providing a semiconductor region with a lower impurity concentration than a low-concentration impurity region between a high-concentration impurity region and the low-concentration impurity region.

CONSTITUTION: An intrinsic doped layer 103 with the lowest impurity concentration is formed between a buried collector layer 102 on a substrate 101 and a low-concentration collector layer 104. In this manner, by forming the intrinsic layer 103 between the low-concentration collector layer 104 where electric field tends to be centered greatly when collector current increases and the buried layer 102, electric field concentration can be shared by a base-collector junction and the intrinsic doped layer 103, thus avoiding electric field concentration between the base and the collector, hence improving the breakdown voltage.

COPYRIGHT: (C) 1994, JPO

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-318602

(43)公開日 平成6年(1994)11月15日

(51)IntCl. ⁴ H 0 1 L 21/331 29/73	識別記号 8427-4M	庁内整理番号 F I	技術表示箇所 H 0 1 L 29/ 72
--	-----------------	---------------	--------------------------

審査請求 未請求 請求項の数16 O L (全 22 頁)

(21)出願番号 特願平5-107950

(22)出願日 平成5年(1993)5月10日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 勝又 康弘

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 飯沼 俊彦

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 坪井 芳朗

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74)代理人 弁理士 則近 憲佑

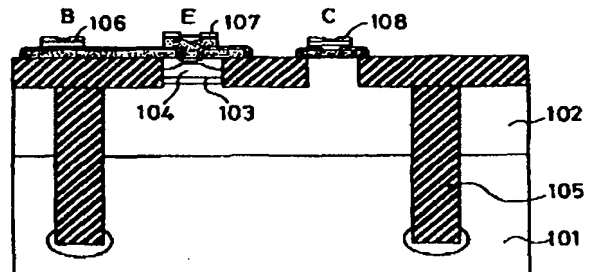
最終頁に続く

(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 バイポーラトランジスタの高速化を可能にする。

【構成】 最も不純物濃度が低い層(i層)103を低濃度コレクタ層104と埋め込み層102との間に形成する。



【特許請求の範囲】

【請求項1】 コレクタを形成する高濃度不純物領域と低濃度不純物領域との間に、この低濃度不純物領域よりも不純物濃度の低い半導体領域を設けたことを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された素子領域と、この素子領域の周囲を囲むように形成されたディープトレンチとこのディープトレンチを囲むように形成されたシャロートレンチとを含むことを特徴とする半導体装置。

【請求項3】 前記ディープトレンチに囲まれた素子領域上に形成されたエミッタ、ベース及びコレクタと、素子領域の外側に形成されたコレクタ引き出し電極、ベース引き出し電極及び配線金属とのコンタクト領域とを備えたことを特徴とする請求項2記載の半導体装置。

【請求項4】 前記コレクタ引き出し電極またはベース引き出し電極が前記ディープトレンチ内側の素子領域に接する領域のうち少なくとも一つに形成された溝内に埋め込まれていることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記コレクタ引き出し電極及びベース引き出し電極が前記ディープトレンチ内側の素子領域に接する領域の対抗する両側に形成された溝内に埋め込まれていることを特徴とする請求項3記載の半導体装置。

【請求項6】 前記コレクタ引き出し電極の形成された溝の深さが前記ベース引き出し電極の形成された溝の深さより深いことを特徴とする請求項5記載の半導体装置。

【請求項7】 半導体基板表面にマスク材を堆積する工程と、素子分離領域となる第1の領域の前記マスク材を選択的に除去する工程と、前記マスク材をマスクに前記第1の領域の前記半導体基板にディープトレンチを形成する工程と、フィールド領域となる第2の領域の前記マスク材を除去する工程と、前記マスク材をマスクにエッチングし前記第2の領域の半導体基板にシャロートレンチを形成する工程と前記ディープトレンチ及び前記シャロートレンチ内を絶縁材料で埋め込み表面を平坦化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 半導体基板表面に第1の絶縁膜と、第1の半導体膜と、第2の絶縁膜を順次形成する工程と、素子領域となる第1の領域と、フィールド領域となる第2の領域に選択的に第1のフォトリソ層を形成する工程と、この第1のフォトリソ層をマスクに素子分離領域となる第3の領域の前記第2の絶縁膜及び前記第1の半導体膜及び前記第2の絶縁膜を異方性エッチングする工程と、前記第1の領域のみを覆うように第2のフォトリソ層を形成する工程と、この第2のフォトリソ層をマスクに前記第2の領域上の前記第2の絶縁膜を除去する工程と、前記第1の領域上の第2の絶縁膜及び前記第2の領域上の第1の絶縁膜をマスクに、異方性エ

ッチングし前記第3の領域にディープトレンチを形成する工程と、前記第2の領域上の前記第1の絶縁膜を除去する工程と、前記第1の領域の前記第1の絶縁膜をマスクに前記第2の領域の前記半導体基板に異方性エッチングを行い、シャロートレンチを形成する工程と、前記ディープトレンチ及び前記シャロートレンチ内を絶縁材料で埋め込み表面を平坦化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項9】 半導体基板内に形成された素子分離領域となるディープトレンチと、このディープトレンチにより分離された素子領域と、半導体基板上に形成された、前記素子分離領域上に開口部を有する多結晶シリコン層と、この開口部底面に形成されたベースエピタキシャル層と、このベースエピタキシャル層上且つ前記開口部側面に形成されたサイドウォールと、このサイドウォールに挟まれた前記ベースエピタキシャル層表面に形成されたエミッタ領域と、このエミッタ領域に接して前記開口部上に形成された多結晶シリコンから成るエミッタ電極とからなることを特徴とする半導体装置。

【請求項10】 第1導電型のコレクタ領域を有する半導体基板上に第1導電型のエピタキシャル層を形成する工程と、少なくとも2つの第1の絶縁物で上記第1導電型のエピタキシャル層を絶縁分離する工程と、この絶縁分離された第1導電型エピタキシャル層及び前記絶縁層上に第2導電型の多結晶シリコン及び絶縁物を順次堆積する工程と、この多結晶シリコン及び絶縁膜に第1の開口を形成する工程と、この第1の開口内のみにエッチングストッパー膜を選択的に形成する工程と、第2の絶縁膜を全面に堆積し異方性エッチングを行って前記第1の開口の側壁にサイドウォールを形成する工程と、前記エッチングストッパー膜を除去する工程と、前記開口部の底部に第2導電型の単結晶シリコンを選択的にエピタキシャル成長させる工程と、全面に第1導電型の不純物を含むシリコン結晶をエピタキシャル成長させる工程と、熱処理によりこのシリコン結晶から前記開口部底部の単結晶シリコン内に不純物を拡散させエミッタ層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項11】 バイポーラトランジスタにおいてエミッタ領域とベース領域との間に不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下のイントリンシックドープド領域を備えたことを特徴とする半導体装置。

【請求項12】 前記イントリンシックドープド領域がエミッタの底面及び側面に接していることを特徴とする請求項11記載の半導体装置。

【請求項13】 コレクタ層が形成された半導体基板上にベース引き出し層を形成する工程と、このベース引き出し層の一部を選択的に除去しエミッタ開口部を形成する工程と、全面に真性ベース領域をエピタキシャル成長法により形成する工程と、この真性ベース領域上に不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下のイントリンシックドープ

ド領域をエピタキシャル成長法により形成する工程と、このイントリンシックドープド領域上にエミッタ領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項14】コレクタ層が形成された半導体基板上にエピタキシャル成長法により真正ベース領域を形成する工程と、この真正ベース領域上にベース引き出し層を形成する工程と、このベース引き出し層の一部を選択的に除去しエミッタ開口部を形成する工程と、全面に不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 以下のイントリンシックドープド領域をエピタキシャル成長法により形成する工程と、このイントリンシックドープド領域上にエミッタ領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項15】前記ベース引き出し層を形成する工程及びエミッタ領域を形成する工程はエピタキシャル成長法または多結晶半導体堆積法またはアモルファス半導体堆積法等を用いることを特徴とする請求項13、14記載の半導体装置の製造方法。

【請求項16】第1導電型の単結晶半導体層と、この半導体層の周囲に形成された絶縁領域と、この絶縁領域に隣接した前記単結晶半導体層の表面の一部に形成された第2導電型の拡散領域と、少なくとも前記第1導電型の単結晶半導体層上の一部と、前記第2導電型の拡散領域の一部とに接する第2導電型の単結晶半導体層と、この第2導電型の単結晶半導体層の一部及び前記拡散層に隣接する前記絶縁領域表面の一部に接続する第1導電型の半導体層とを含むことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及び半導体装置の製造方法に関する。

【0002】

【従来の技術】バイポーラトランジスタはバルクを電流が流れる電流駆動型で、比較的表面的影響を受けにくく出力の電流駆動力が高いため、高速度性、増幅性、電力性が要求されるICに用いられる。しかし、MOSトランジスタに比べて形成工程が複雑になるという問題点もある。

【0003】一般的なバイポーラトランジスタの形成工程を説明する。まず、表面にn型のエピタキシャル層を持つシリコン基板2001上にフィールド絶縁膜2002を形成する(図42)。

【0004】次に、エピタキシャル技術を用いて硼素ドープのシリコンを成長させることによってシリコン基板2001が露出している部分上にはベース層となるP型のエピタキシャル層2003a、フィールド絶縁膜2002上にはp型多結晶シリコン2003bを形成し、この上にCVD法によりシリコン酸化膜2004を堆積しエピタキシャル層2003a上のみに残るようにバタ-

ニングする(図43)。

【0005】次に硼素ドープのp型多結晶シリコン酸化膜2006を全面に堆積する。そして、前記シリコン酸化膜2004をエッチングストッパー膜として用いて異方性エッチングを行うことによってシリコン酸化膜2006及び多結晶シリコン2005に開口2007を設け、その後全面にシリコン窒素膜を堆積して異方性エッチングを行うことによりシリコン窒素膜側壁2008を形成し、開口内のシリコン酸化膜2004を除去する(図44)。

【0006】次に、ヒ素をドープしたn型多結晶シリコン2009を全面に堆積し、アニールした後にこのn型多結晶シリコン2009を開口2007を覆うようにバタニングする(図45)。

【0007】最後にベース電極を取るためのコンタクト開口をシリコン酸化膜2006内に形成し、この開口部及びn型多結晶シリコン2009上にアルミニウム電極2110を形成してエミッタ電極、ベース電極及びコレクタ電極(図示せず)を形成しバイポーラトランジスタが完成する(図46)。

【0008】

【発明が解決しようとする課題】バイポーラトランジスタでは一般にコレクタ電流の増加に伴って、ベース、コレクタ接合の位置がコレクタ側に押出され実行的なベース幅が増加する現象(カーク効果)が生じる。このカーク効果を押さえるためにはコレクタ領域の不純物濃度を高くすると効果的である。しかし、コレクタ領域の不純物濃度を高くするとベース-コレクタ接合の空乏層幅が縮小して最大電界が増加して、ベース-コレクタ間のアバランシェ降伏に対する耐圧が低下するといった問題がある。

【0009】また、バイポーラトランジスタの微細化に伴って、素子分離領域であるディープトレンチに囲まれた素子領域の面積を小さくする必要が生じてきた。素子面積が大きくなるとコレクタ・基板間の寄生容量あるいはベース引き出しの多結晶シリコンとコレクタの間に寄生容量が発生するという問題がある。

【0010】さらに、トランジスタの高速度化のためにはキャリアのベース走行時間を短くする必要があり、従来、ベース層の厚さを薄くし、エミッタとコレクタから伸びてくるベース層中の空乏層が繋がってパンチスルーが生じないようにベース層中の不純物濃度を上げる方法がとられてきた。しかし、ベース層中の不純物濃度を上げるとエミッタの不純物濃度が極めて高いため、エミッタ、ベース接合が高濃度同士のPN接合となり、アバランシェ降伏、ツェナー降伏、トンネル電流等が接合で生じ、トランジスタの耐圧が著しく低下したり、漏れ電流が発生するなどの不良が起きるといった問題がある。また、従来の製造方法ではベース幅及び厚さの制御が困難であるという問題がある。

10

20

30

40

50

【0011】

【課題を解決するための手段】第1の発明はコレクタを形成する高濃度不純物領域と低濃度不純物領域との間に、この低濃度不純物領域よりも不純物濃度の低い半導体領域を設けた半導体装置を提供することを特徴とする。

【0012】第2の発明は半導体基板上に形成された素子領域と、この素子領域の周囲を囲むように形成されたディープトレンチとこのディープトレンチを囲むように形成されたシャロートレンチとを含む半導体装置を提供

することを特徴とする。
【0013】第3の発明は半導体基板表面にマスク材を堆積する工程と、素子分離領域となる第1の領域の前記マスク材を選択的に除去する工程と、前記マスク材をマスクに前記第1の領域の前記半導体基板にディープトレンチを形成する工程と、フィールド領域となる第2の領域の前記マスク材を除去する工程と、前記マスク材をマスクにエッチングし前記第2の領域の半導体基板にシャロートレンチを形成する工程と前記ディープトレンチ及び前記シャロートレンチ内を絶縁材料で埋め込み表面を平坦化する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0014】第4の発明は半導体基板表面に第1の絶縁膜と、第1の半導体膜と、第2の絶縁膜を順次形成する工程と、素子領域となる第1の領域と、フィールド領域となる第2の領域に選択的に第1のフォトレジスト層を形成する工程と、この第1のフォトレジストをマスクに素子分離領域となる第3の領域の前記第2の絶縁膜及び前記第1の半導体膜及び前記第2の絶縁膜を異方性エッチングする工程と、前記第1の領域のみを覆うように第2のフォトレジスト層を形成する工程と、この第2のフォトレジスト層をマスクに前記第2の領域上の前記第2の絶縁膜を除去する工程と、前記第1の領域上の第2の絶縁膜及び前記第2の領域上の第1の絶縁膜をマスクに、異方性エッチングし前記第3の領域にディープトレンチを形成する工程と、前記第2の領域上の前記第1の絶縁膜を除去する工程と、前記第1の領域の前記第1の絶縁膜をマスクに前記第2の領域の前記半導体基板に異方性エッチングを行い、シャロートレンチを形成する工程と、前記ディープトレンチ及び前記シャロートレンチ内を絶縁材料で埋め込み表面を平坦化する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0015】第5の発明は半導体基板内に形成された素子分離領域となるディープトレンチと、このディープトレンチにより分離された素子領域と、半導体基板上に形成された、前記素子分離領域上に開口部を有する多結晶シリコン層と、この開口部底面に形成されたベースエピタキシャル層と、このベースエピタキシャル層上且つ前記開口部側面に形成されたサイドウォールと、このサイドウォールに挟まれた前記ベースエピタキシャル層表面

に形成されたエミッタ領域と、このエミッタ領域に接して前記開口部上に形成された多結晶シリコンから成るエミッタ電極とからなる半導体装置を提供することを特徴とする。

【0016】第6の発明は第1導電型のコレクタ領域を有する半導体基板上に第1導電型のエピタキシャル層を形成する工程と、少なくとも2つの第1の絶縁物で上記第1導電型のエピタキシャル層を絶縁分離する工程と、この絶縁分離された第1導電型エピタキシャル層及び前記絶縁層上に第2導電型の多結晶シリコン及び絶縁物を順次堆積する工程と、この多結晶シリコン及び絶縁膜に第1の開口を形成する工程と、この第1の開口内のみにエッチングストッパー膜を選択的に形成する工程と、第2の絶縁膜を全面に堆積し異方性エッチングを行って前記第1の開口の側壁にサイドウォールを形成する工程と、前記エッチングストッパー膜を除去する工程と、前記開口部の底部に第2導電型の単結晶シリコンを選択的にエピタキシャル成長させる工程と、全面に第1導電型の不純物を含むシリコン結晶をエピタキシャル成長させる工程と、熱処理によりこのシリコン結晶から前記開口部底部の単結晶シリコン内に不純物を拡散させエミッタ層を形成する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0017】第7の発明はバイポーラトランジスタにおいてエミッタ領域とベース領域との間に不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 以下のイントリンシックドープド領域を備えた半導体装置を提供することを特徴とする。

【0018】第8の発明はコレクタ層が形成された半導体基板上にベース引き出し層を形成する工程と、このベース引き出し層の一部を選択的に除去しエミッタ開口部を形成する工程と、全面に真性ベース領域をエピタキシャル成長法により形成する工程と、この真性ベース領域上に不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 以下のイントリンシックドープド領域をエピタキシャル成長法により形成する工程と、このイントリンシックドープド領域上にエミッタ領域を形成する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0019】第9の発明はコレクタ層が形成された半導体基板上にエピタキシャル成長法により真正ベース領域を形成する工程と、この真正ベース領域上にベース引き出し層を形成する工程と、このベース引き出し層の一部を選択的に除去しエミッタ開口部を形成する工程と、全面に不純物濃度が $1 \times 10^{18} \text{cm}^{-3}$ 以下のイントリンシックドープド領域をエピタキシャル成長法により形成する工程と、このイントリンシックドープド領域上にエミッタ領域を形成する工程とを含む半導体装置の製造方法を提供することを特徴とする。

【0020】第10の発明は第1導電型の単結晶半導体層と、この半導体層の周囲に形成された絶縁領域と、この絶縁領域に隣接した前記単結晶半導体層の表面の一部

に形成された第2導電型の拡散領域と、少なくとも前記第1導電型の単結晶半導体層上の一部と、前記第2導電型の拡散領域の一部とに接する第2導電型の単結晶半導体層と、この第2導電型の単結晶半導体層の一部及び前記拡散層に隣接する前記絶縁領域表面の一部に接続する第1導電型の半導体層とを含む半導体装置を提供することを特徴とする。

【0021】

【作用】第1の発明によれば、イントリンシックドープ層をコレクタ電流が大きくなった時に最も電界集中の生じやすい低濃度コレクタ層と埋め込み層の間に形成する事により、電界集中をベース-コレクタ接合とイントリンシックドープ層との間で分担させることができ、空乏層幅を増加させずにベースコレクタ間の電界集中を回避し、耐圧向上を図ることができる。

【0022】第2の発明によれば、従来2つある凸状の素子領域を一つにするため、ディープトレンチで囲まれた素子領域全体の面積を小さくすることができ、寄生容量を大幅に低減することができる。また、引き出し電極のコンタクトを横からとることができるため、素子上面からとる必要がなくなり、寄生容量を低減し素子をさらに微細にすることができる。

【0023】第3、第4の発明によれば、従来のようにディープトレンチを形成する際に用いるマスクとシャロートレンチを形成する際に用いるマスクの合わせ余裕を取る必要が無くなるため、素子面積が小さく、寄生容量が小さいトレンチ分離を形成することが可能となる。さらに、素子分離用トレンチ内に溝を形成しその溝に引き出し電極を埋め込むことから容易に素子領域の側面から容易にコンタクトを取ることが可能となる。

【0024】第5、第6の発明によれば、一回のリソグラフィ工程でベースエピタキシャル層を保護する膜の形成とエミッタ開口の形成が可能となるため、合せずれによる寸法の制限が緩和され、素子の微細化が可能となる。

【0025】第7、第8、第9の発明によればエミッタとベース領域の間にかかる電界の一部をイントリンシックドープド領域で吸収し緩和してエミッタとベース領域の間で発生するアバランシェ降伏、ツェナー降伏、トンネル電流を抑制することができる。

【0026】第10の発明によれば、エミッタ領域と、ベース引き出し電極の距離を自己整合技術を用いて、フォトリソグラフィ工程の合せ余裕以下に縮小することが可能であるために、トランジスタの遮断周波数を高くすると同時にベース抵抗を小さくすることが可能となる。

【0027】

【実施例】

(実施例1) 以下、第1の発明をnpn型バイポーラトランジスタに適用した実施例を図1乃至図4を参照しな

がら説明する。

【0028】図1は本発明によるバイポーラトランジスタの断面図である。基板101上のコレクタ埋め込み層102及び低濃度コレクタ層104の間に不純物濃度が最も低いイントリンシックドープ層103が形成されている。また、図2は図1のA-A'間における不純物の濃度分布を示す。

【0029】このような構造を用いた場合の電界強度分布の様子を図3に示す。イントリンシックドープ層を設けない場合(図47(a))に比べてベース・コレクタ接合間での電界強度が減少し、また、公知の方法であるイントリンシックドープ層をベース-コレクタ接合間に設けた場合(図47(b))に比べて空乏層幅の増加が生じない。

【0030】以下に本実施例におけるバイポーラトランジスタの製法を図3乃至図4を参照しながら説明する。まずp型基板101上にn型不純物濃度およそ 10^{19} (cm⁻³)の高濃度層(コレクタ埋め込み層)102を形成する。

【0031】次に不純物濃度がおよそ 10^{14} (cm⁻³)と最も低いイントリンシックドープ層103を、続いて濃度が 10^{17} (cm⁻³)と比較的低能度のn型不純物層(低濃度コレクタ層)104を、エピタキシャル成長法によって各々例えば0.2 (μm)、0.5 (μm)程度の厚さに順次形成する(図4(a))。

【0032】次に基板表面に反応性イオンエッチング(RIE)を行って0.7 (μm)程度の高さの素子領域と4 (μm)程度の素子分離溝105を形成し、溝部分に105及び106に例えば液相成長法により絶縁膜を埋め込み表面をエッチバック等により平坦化し、素子分離を行う(図4(b))。

【0033】以下、素子領域104にp型不純物、n型不純物を基板表面から導入してベース106、エミッタ107およびコレクタ108を形成する(図1)。本実施例では、イントリンシックドープ層103を低濃度コレクタ層104と埋め込み層102の間に形成することにより、イントリンシックドープ層をベース-コレクタ接合間に設けた場合のようにベース-コレクタ間の空乏層幅を増加させることなく耐圧を確保することができる。また、キャリア走行時間の増加を抑えることができる。また、イントリンシックドープ層の位置を低濃度コレクタ層とコレクタ埋め込み層の間にすることにより、エピタキシャル成長のみによってイントリンシックドープ層を精度よく形成することが可能となる。

【0034】(実施例2) 以下、第2の発明の実施例を図5乃至図8を参照しながら詳細に説明する。本発明による半導体装置の素子分離形状を図5に示す。

【0035】半導体基板上の1つの素子領域201の周辺に、素子分離用のディープトレンチ202があり、更にその外側はシャロートレンチ203に囲まれ、シャロ

ートレンチ203もディープトレンチ202も絶縁膜204で埋め込まれている。

【0036】次に図5に示した半導体装置の素子分離形状の形成方法を説明する。まず、半導体基板301上にシリコン酸化膜302を5000オングストロームの厚さに堆積させる。さらに1 μ mの厚さにフォトレジスト層303を形成し、ディープトレンチとなる領域のみに開口部を形成する(図6(a))。

【0037】次にフォトレジスト303をマスクにシリコン酸化膜302の異方性エッチングを行い、フォトレジスト303を除去する(図6(b))。次にシリコン酸化膜302をマスクに、半導体基板301を異方性エッチングし、ディープトレンチ304を形成する(図6(c))。

【0038】次に、ディープトレンチ304にはさまれた素子領域上のシリコン酸化膜を残し、フィールド領域上のシリコン酸化膜のみを選択的に除去する(図7(a))。

【0039】次に、素子領域上のシリコン酸化膜302をマスクに、半導体基板301を異方性エッチングし、シャロートレンチ305を形成する(図7(b))。次に、シリコン酸化膜302を除去する(図7(c))。

【0040】最後に、例えばシリコン酸化膜を全面に堆積させ、エッチバックを行うことにより、シャロートレンチ305及びディープトレンチ304内をシリコン酸化膜306で充填する(図8)。

【0041】上記の工程により図5に示した素子分離形状を形成することができる。本実施例によれば、従来2つあった凸状の素子領域を1つにしたためディープトレンチで囲まれた素子全体の面積を極めて小さくすることができる。

【0042】またこの方法によれば、シャロートレンチを形成する際に用いる異方性エッチングのマスクとディープトレンチを形成する際の異方性エッチングのマスクは、一回のフォトレジストのパターニングによって決められるため、シャロートレンチとディープトレンチに合わせずれが生じることがない。

【0043】(実施例3)以下に実施例2とは異なる素子分離形成工程を示す。まず、半導体基板301上にシリコン酸化膜302、多結晶シリコン膜303、シリコン酸化膜304を順次堆積し、その上に、ディープトレンチとなる領域のみに開口を有するフォトレジスト層305を形成する(図9(a))。

【0044】次にフォトレジスト層305をマスクに、ディープトレンチとなる領域のシリコン酸化膜304、多結晶シリコン303、シリコン酸化膜302を異方性エッチングによって除去する。

【0045】次にフォトレジスト層305を除去した後、素子領域を完全に覆うように、フォトレジスト層306を形成する(図9(b))。次にフォトレジスト層

306をマスクに、フィールド領域上の酸化膜304を除去する(図9(c))。

【0046】次に酸化膜302及び304をマスクに、半導体基板を異方性エッチングし、ディープトレンチ307を形成する(図10(a))。次に全面に異方性ドライエッチングを行い、フィールド上の酸化膜302及び素子領域上の酸化膜304を除去する(図10(b))。

【0047】次に素子領域上の酸化膜302をマスクに、フィールド上にシャロートレンチを形成する。この時、多結晶シリコン膜303も同時に除去される(図10(c))。

【0048】さらに素子領域上の酸化膜302を除去する(図11(a))。最後に全面に酸化膜308を堆積し、既知の方法でエッチバックすることにより、シャロートレンチとディープトレンチ内を酸化膜308で充填し、素子分離が完成する(図11(b))。

【0049】本実施例では実施例2における半導体基板上のシリコン酸化膜の代わりにシリコン酸化膜と多結晶シリコン膜の3層膜を用いており、両者のエッチングレート差を利用した上記のプロセスにより制御性よく、半導体基板内にシャロートレンチ及びディープトレンチを形成することができる。

【0050】(実施例4)以下、実施例4乃至実施例7では、実施例2、3で形成される素子分離領域にバイポーラトランジスタを形成する方法を示す。

【0051】図12は、バイポーラトランジスタの断面図であり、ディープトレンチに囲まれた素子領域上にエミッタ領域401、ベース領域402、コレクタ領域403が形成されている。さらにこれらの領域に接続して、エミッタ電極404、ベース電極405、コレクタ電極406が多結晶シリコンにより形成されている。更に、従来、素子領域上に形成されていたコレクタ電極406と配線金属407とのコンタクト部は素子領域の外側に形成されている。

【0052】次に、図12の構造のバイポーラトランジスタの製造工程を説明する。まず、第2もしくは第3の実施例で示したような工程で素子分離を行った半導体基板上に、素子領域を覆うように多結晶シリコン501を堆積する(図13(a))。

【0053】次にフォトレジスト層502を形成し、多結晶シリコン501のベース引きだし電極となる部分に選択的にホウ素イオンを注入する(図13(b))。次にフォトレジスト502を除去した後、選択的にフォトレジスト503を形成し、多結晶シリコン501のコレクタ引きだし電極となる部分に、選択的に砒素イオンを注入する(図13(c))。

【0054】次にフォトレジスト503を除去し、酸化膜504を堆積した後、開口を規定するフォトレジスト層505を形成する(図14(a))。このフォトレジ

11

スト層505をマスクに、酸化膜504と多結晶シリコン501を、異方性エッチングして、開口を形成する。

【0055】次にフォトレジスト層505を除去した後(図14(b))、酸化膜506を全面に堆積する(図14(c))。次に酸化膜506の異方性エッチングを行い、酸化膜506を開口部の側壁506に残し、エミッタ開口を形成する(図15(a))。

【0056】次に全面にホウ素をイオン注入し、熱処理を施すことによって、真性ベース領域507を形成し、同時にベース電極の多結晶シリコン501からホウ素を拡散させて外部ベース領域509を形成する(図15(b))。

【0057】次にコレクタ電極の多結晶シリコン501から砒素を拡散させることによって、コレクタ領域510を形成する。次にエミッタ電極となる多結晶シリコン511を全面に堆積し、多結晶シリコンに砒素イオンを注入する(図15(c))。

【0058】最後にエミッタ電極512をパターニングし、熱処理を施すことにより、エミッタ領域513を形成し、バイポーラトランジスタを形成することができ、本実施例によるバイポーラトランジスタはコレクタ電極を多結晶シリコンにより引き出す構造を取ることにより、従来のようにコレクタ電極用の凸状の領域が不要になり、コレクタ・基板間の寄生容量を大幅に低減することが可能となる。

【0059】(実施例5)図16は、バイポーラトランジスタの断面図であり、構造は実施例4の図12と基本的に同様であるが、コレクタ側のディープトレンチ601の充填材の素子領域に接する部分にコンタクト用の浅い溝602が形成され、この内にコレクタ引きだし電極となる多結晶シリコン603が埋め込まれている。

【0060】以下に、製造工程を説明する。第2もしくは第3の実施例で示したような工程で素子分離を行った半導体基板に、コレクタ電極側のディープトレンチの素子領域に接する一部に開口を有するフォトレジスト705を形成する。このフォトレジスト705をマスクに異方性エッチングを行い、ディープトレンチの一部に小さい溝706を形成する(図17(a))。

【0061】次にフォトレジスト705を除去しベース電極及びコレクタ電極となる多結晶シリコン706をデポし、小さい溝706を埋め込む(図17(b))。以下、第4の実施例の図13(b)乃至図15と同様の工程を行うことにより、バイポーラトランジスタを形成することができる。

【0062】本実施例では、コレクタ電極側のディープトレンチに溝を形成し、その中に多結晶シリコン電極を埋め込むことによりコレクタ領域を深く形成することが可能となる。その結果、コレクタ電流が流れる経路が広がり、コレクタ抵抗を下げることができる。

【0063】(実施例6)図18は、バイポーラトラン

12

ジスタの断面図であり、実施例5の構造に加えて、ベース側のディープトレンチ801の充填材の素子領域に接する部分にもコンタクト用の浅い溝802を形成し、ベース電極の多結晶シリコン803を埋め込んである。この場合、ベース電極803及びコレクタ電極804は、素子領域上面からコンタクトを取る必要がなく、側面から取っている(図18)。

【0064】以下に製造工程を説明する。第2もしくは第3の実施例で示したような工程で素子分離を行った半導体基板に、ベース電極側とコレクタ電極側のディープトレンチの素子領域に接する一部に開口を有するフォトレジスト901を形成する。第1のフォトレジストをマスクに異方性エッチングを行い、それぞれのディープトレンチの一部に小さい溝902を形成する(図19(a))。

【0065】次にフォトレジスト901を除去した後、ベース電極及びコレクタ電極となる多結晶シリコン903をデポし、それぞれの小さい溝902を埋め込む(図19(b))。

【0066】次にフォトレジスト層904を選択的に形成し、多結晶シリコン903のベース引きだし電極となる部分に選択的にホウ素イオンを注入する(図19(c))。

【0067】次にフォトレジスト層904を除去した後、フォトレジスト層905を選択的に形成し、このフォトレジスト層905をマスクに多結晶シリコンのコレクタ引きだし電極となる部分に、選択的に砒素イオンを注入する(図20(a))。

【0068】次にフォトレジスト層905を除去し、全面に酸化膜906を堆積した後、開口を規定するフォトレジストパターン907を形成する。この場合、多結晶シリコン903は素子領域上に残る必要はないため、開口部は素子領域とまったく同じのパターンとすることが望ましい(図20(b))。

【0069】以下、第4の実施例の図14(b)乃至図15と同様の工程を行うことにより、バイポーラトランジスタを形成することができる。実施例ではコレクタ電極側及びベース電極側のディープトレンチに溝を形成し、その中に多結晶シリコン電極を埋め込むことにより、コレクタ抵抗及びベース抵抗を下げることができる。また、ベースもコレクタも電極を素子領域の側壁から取ることが可能になるため、これまで素子領域と多結晶シリコン電極と接続していた領域が不要になり、素子領域を小さくすることができる。

【0070】(実施例7)図21は、バイポーラトランジスタの断面図であり、従来通りコレクタ埋め込み層を形成し、コレクタ側のコンタクト用の溝1001を、ベース側の溝1002より深くし、コレクタ引きだし電極1003のみが、 n^+ の埋め込み層1004に届く構造である。

13

【0071】以下に製造工程を説明する。第2もしくは第3の実施例で示したような工程で素子分離を行った半導体基板に、ベース電極側のディープトレンチの素子領域に接する一部に開口を有するフォトレジスト1101を形成する。このフォトレジスト1101をマスクに異方性エッチングを行い、ベース電極側のディープトレンチの一部に例えば0.2〜0.3 μ mの第1の小さい溝1102を形成する(図22(a))。

【0072】次にフォトレジスト1101を除去した後、コレクタ電極側のディープトレンチの素子領域に接する一部に開口を有するフォトレジスト1103を形成する。次にこのフォトレジスト1103をマスクに異方性エッチングを行い、コレクタ電極側のディープトレンチの一部に、第1の小さい溝1102より深い、例えば1.0 μ mの第2の小さい溝1104を形成する(図22(b))。

【0073】次にフォトレジスト1103を除去した後、全面にベース電極及びコレクタ電極となる多結晶シリコンをデポし、第1の小さい溝と第2の小さい溝を埋め込む(図22(c))。

【0074】以下、第4の実施例の図13(b)乃至図15と同様の工程を行うことにより、バイポーラトランジスタを形成することができる。本実施例では、コレクタ電極側のディープトレンチに形成していた溝を、ベース電極側より深くすることによって、従来のように埋め込み層を用いた場合でも、コレクタ電極用の多結晶シリコンだけを埋め込み層まで届け、抵抗を下げるができる。

【0075】以上、上述の実施例2乃至実施例7においては、シャロートレンチを形成する際に用いる異方性エッチングのマスクとディープトレンチを形成する際の異方性エッチングのマスクは、一回のフォトレジストのパターニングによって決められるためシャロートレンチとディープトレンチに合わせずれが生じることがない。

【0076】そのため、従来の素子分離法では必要であったマスク合わせの余裕137(図48)を取る必要がなくなる。また本発明によるバイポーラトランジスタはコレクタ電極を多結晶シリコンによって引き出す構造を取ることに、従来のようにコレクタ電極用の凸状の領域が不要になる。その結果、マスク合わせ余裕とコレクタ電極用の領域の分、ディープトレンチに囲まれた面積を大幅に縮小することができ、バイポーラトランジスタにおいて、コレクタ・基板間の寄生容量138(図48)を大幅に低減することができる。更に、従来のトレンチ素子分離法ではマスク合わせのため、素子領域とディープトレンチとの間に一定の間隔のシャロートレンチ領域が必要であり、この結果ディープトレンチに囲まれた素子面積が大きくなり、コレクタ・基板間の寄生容量さらにはベース引きだし用の多結晶シリコンとコレクタとの間に寄生容量139(図48)が発生していただか、

14

本発明による構造を用いると、この寄生容量はほとんど発生しない。

【0077】本発明によるバイポーラトランジスタは、従来の構造に比べて寄生容量を大幅に減少させることができ、動作の高速化が可能となる。

(実施例8)以下第5、第6の発明に係わる半導体装置およびその製造方法をnpn型バイポーラトランジスタに適用した1実施例について図23乃至図25を参照しながら説明する。

【0078】本実施例による半導体装置は、コレクタエピタキシャル層1203を少なくとも2つの絶縁物1204で絶縁分離し、バイポーラトランジスタの活性領域1203が形成されている。さらにこの活性領域1203上に開口部を有する不純物ドーパされた多結晶シリコン膜1205及び絶縁膜1206が堆積されており、この開口部底部にはベースエピタキシャル層1212が形成されている。このベースエピタキシャル層1212上の開口部側壁には酸化膜1210が形成され、この酸化膜1210に挟まれたベースエピタキシャル層1212上部には、エミッタ1214が形成されている(図25(b))。

【0079】次に製造方法を説明する。まずp型シリコン基板1201上に通常の拡散技術を用いて高濃度のn型埋め込み層1202を形成し、さらにn型のコレクタエピタキシャル層1203を成長させる。その後少なくとも2つ以上の絶縁物1204を用いてバイポーラトランジスタの活性領域1203を絶縁分離する(図23(a))。

【0080】次いで所定の膜厚の多結晶シリコン1205をCVD法により堆積し、p型の不純物例えばボロンをイオン注入する。なおこのボロンイオン注入の代わりにボロンがすでにドーパされた多結晶シリコンを堆積しても良い。その後所定の膜厚の酸化膜1206及び窒化膜1207を順次CVD法によって堆積する。

【0081】次に所定のフォト・リソグラフィを工程により窒化膜1207、酸化膜1206及び多結晶シリコン1205に開口1208を形成する(図23(b))。次に選択的に開口1208内のシリコン上にエッチングストッパー膜1209を形成する。なお、このエッチングストッパー膜はシリコン上にだけ選択的に成長し、サイドウォール・スペーサの材料である酸化膜と大きなエッチング選択比がとれ、下地コレクタエピタキシャル層1203にダメージを与えないためウェット系のエッチングで除去される膜が望ましい(図24(a))。

【0082】その後酸化膜1210を所定の厚さで堆積、反応性イオンエッチングをすることによって開口1208内にサイドウォール・スペーサ1210を形成する。その後、ウェットエッチングにより選択的にエッチングストッパー膜1209を除去して、ベース層の形成

15

される領域1211が形成される(図24(b))。

【0083】次いで選択的なエピタキシャル技術によってエッチングストッパーを除去した領域1211を埋めるようにシリコン結晶1212を成長させる。この際、所定の圧力、温度、ガス流量で例えばジボラン(B_2H_6)を混入させれば、エピタキシャル層を成長させながらp型にドーピングできる。さらに、例えばモノゲルマン(GeH_4)を所定の圧力、温度、ガス流量で加えてやればSiGe層を形成する事も可能である(図25(a))。

【0084】その後全面に多結晶シリコン1213を堆積し、砒素をイオン注入後、熱工程を加えてベースエピタキシャル層1212内の所定の領域に砒素を拡散させ、エミッタ1214を形成する。なお、ここで砒素をイオン注入する代わりに多結晶シリコン1213をすでに砒素がドーピングされた多結晶シリコンにする事も可能である。また多結晶シリコンの代わりに砒素のドーピングされたシリコン結晶をエピタキシャル成長させても良い(図25(b))。

【0085】その後は従来の技術により所定の金属電極を形成して、バイポーラトランジスタのエミッタ・ベース領域が形成される。なおこれらの図面では示されていないコレクタに関しては従来のバイポーラトランジスタが有するようにコレクタ電極は酸化膜絶縁層1204のエミッタ・ベース形成領域1203と反対側に形成され、n型埋め込み層1202を介してコレクタエピタキシャル層1203と結合される。

【0086】従来の選択的なエピタキシャル技術を用いたバイポーラトランジスタの製造方法では、はじめにコレクタエピタキシャル層の上にベースエピタキシャル層を形成し、後の工程を行っていた。

【0087】この方法では、ベースエピタキシャル層上に多結晶シリコン層を形成してエッチングによりエミッタ形成用の開口部を設けるので、ベースエピタキシャル層上にエッチングストッパー膜を設ける必要がある。このエッチングストッパー膜のパターニングとエミッタ用の開口部を設けるためのパターニングを行うため、これらの2回のリソグラフィ工程の合わせずれを見込む必要があり素子の微細化に対する制限となっていた。

【0088】本実施例では、はじめに、コレクタエピタキシャル層上に多結晶シリコン層を設け、エミッタ形成用の開口部を形成してから、後にこの開口部底の所定の領域にベースエピタキシャル層を選択成長させるため、1回のリソグラフィ工程ですみ、素子の微細化に対する制限が大幅に緩和でき、素子の微細化が可能となる。また素子の微細化と同時に寄生抵抗及び寄生容量が低減され、高速度動作が可能となる。

【0089】(実施例9)第7乃至第9の発明の実施例を図面を参照しながら説明する。図26乃至図27にバイポーラトランジスタの構造図を示す。

16

【0090】いずれも高濃度真性ベース層1308、1408、1508、1608とエミッタ電極1310、1410、1510、1610との間に不純物濃度が $1 \times 10^{18}/\text{cm}^3$ 以下のイントリンシックドープド領域1309、1409、1509、1609を設けたことが特徴である。特に、図26(a)、図27(a)、図27(b)はそれぞれのイントリンシックドープド領域1309、1509、1609がエミッタ電極1310、1510、1610の底面のみならず側面にも存在することが特徴となっている。このような構造はとくに図27(b)のようにベース引き出し部1606とエミッタ電極1610が絶縁膜(酸化膜、窒化膜等)を介さず直接真性ベース1608を介して繋がっているような場合に適している。このイントリンシックドープド領域の例としては、例えば濃度が $1 \times 10^{17}/\text{cm}^3$ 、膜厚が10nm、真性ベース領域は例えば濃度が $1 \times 10^{19}/\text{cm}^3$ 、膜厚が40nm、エミッタ電極は例えば濃度が $5 \times 10^{20}/\text{cm}^3$ 、膜厚が200nm等の値を用いることができるが、一般にイントリンシックドープド領域の濃度が $1 \times 10^{18}/\text{cm}^3$ 以下であればエミッタ、ベース領域と比べて十分にイントリンシックドープド領域と見做すことができる。

【0091】次に上記構造のバイポーラトランジスタの製造工程を図面を参照しながら説明する。まずp型シリコン基板1701上にアンチモン、砒素などを用いてn⁺埋め込み層1702を拡散法またはイオン注入法で形成し、例えば溝ドーピングされたn⁻コレクタ層をエピタキシャル成長にて形成する。

【0092】次にディープトレンチおよびディープトレンチへ絶縁膜埋め込みにてn⁺埋め込み層1702を分離し(図示せず)、シャロートレンチ及びその埋め込み絶縁膜1703にてn⁻コレクタ層1704を分離する(図28(a))。

【0093】次にベースの引き出し部となるp⁺シリコン層1706を例えば膜厚200nmで形成する。この層は多結晶シリコンやアモルファスシリコンでもよいが、ベース引き出し部の抵抗低減やキャリアの再結合抑制には単結晶シリコンを用いることが望ましい。この場合埋め込み絶縁膜1703の上の部分は多結晶シリコンでもかまわない(図28(b))。

【0094】次にエミッタ開口部の引き出しp⁺シリコン層1706を選択的にエッチング除去した後、真性ベース領域となるp⁺シリコン層1708、イントリンシックドープド層1709、エミッタシリコン電極1710をエピタキシャル成長させて形成する。

【0095】尚、ベースとコレクタ部の耐圧を向上させるため引き出し部となるp⁺シリコン層1706の下部にも低不純物濃度のイントリンシックドープド層を設けることもある。エミッタ電極1710は多結晶シリコンまたはアモルファスシリコンでもよい(図29

(a))。

【0096】また埋め込み絶縁膜1703の上の部分は多結晶となる事もある。また、エミッタの開口部 p^+ シリコン層1706を選択的にエッチング除去する場合、不純物濃度の差等により、エッチングを p^+ シリコン層1706と n^- コレクタ層1704との境界で選択的に止める場合もあるが、意図的に n^- コレクタ層1704の中までエッチングを行なうこともあるし、また逆に境界に達する前にエッチングを止める場合もある。

【0097】この後エミッタ電極1710をパターンニングし同時に真性ベース領域となる p^+ シリコン層1708、イントリンシックドープ層1709をエッチング除去すれば図27(b)に示した構造のバイポーラトランジスタが得られる。

【0098】次に、図26(a)の構造の製造工程を説明する。まず、図28(a)の工程の後、ベースの引き出し部となる p^+ シリコン層1706と絶縁膜1707を順次堆積した後、エミッタ開口部をエッチング除去する(図29(b))。

【0099】次に、絶縁膜を全面に堆積した後、リアクティブイオンエッチングなどの異方性エッチングによりエミッタ開口部の側壁部に絶縁膜1707aを形成する。この後、熱工程を加え p^+ シリコン層1706より不純物を拡散させてベースリンク領域1705を形成する(図30(a))。この後図29(a)以降の工程を行うことにより図26(a)の構造を得ることができる。

【0100】次に図26(b)の構造の製造方法を説明する。図28(a)の工程のあとで真性ベース領域となる p シリコン層1708、イントリンシックドープ層1709、ベースの引き出し部となる p^+ シリコン層1706、絶縁膜1707を順次堆積する(図31(a))。

【0101】次にエミッタ開口部をエッチング除去する。この時、エッチングはイントリンシックドープ層1709で留まるようにする。以下同様にして絶縁膜を全面に堆積した後、リアクティブイオンエッチングなどの異方性エッチングにより側壁部に絶縁膜1707を残す。

【0102】この後、熱工程を加え p^+ シリコン層1706より不純物を拡散させてベースリンク領域1705を形成する(図31(b))。最後にエミッタ電極を堆積しパターンニングすれば図26(b)の構造が得られる。

【0103】次に図27(a)の構造の製造方法を説明する。図28(a)の工程のあとで、真性ベース領域となる p シリコン層1708、ベースの引き出し部となる p^+ シリコン層1706と絶縁膜1707を堆積した後、エミッタ開口部をエッチング除去する。この時エッチングは真性ベース領域となる p シリコン層1708で

留まるようにする。

【0104】以下同様にして絶縁膜を全面に堆積した後、リアクティブイオンエッチングなどの異方性エッチングにより開口部側壁及び p^+ シリコン層上に絶縁膜を残す(図32)。その後、イントリンシックドープ層1509、エミッタ電極1510を堆積し、パターンニングすれば図27(a)の構造を得ることができる。

【0105】本実施例では、バイポーラトランジスタのエミッタとベース領域の間にイントリンシックドープ領域を設けるため、エミッタとベース領域の間にかかる電界の一部をこのイントリンシックドープ領域で吸収し、緩和することができる。よってエミッタとベース領域の間で発生するアバランシェ降伏、ツェナー降伏、トンネル電流を抑制することができる。

【0106】(実施例10) 以下第10の発明の実施例を図面を参照しながら説明する。まず表面部が n 型であるシリコン基板1801上にエミッタ・ベース領域規定用のシリコン酸化膜1802を形成した後に、この素子分離シリコン酸化膜1802に囲まれた n 型シリコン領域1801の一辺にほう素をイオン注入し p 型の拡散領域1803を形成する(図33)。

【0107】次に、前記基板上にエピタキシャル成長技術を用いてほう素ドーパのシリコン、砒素ドーパのシリコンを連続して成長させることにより、シリコン基板1801が露出している部分上にはベース層となる p 型のエピタキシャル層1804aとエミッタ層となる n 型のエピタキシャル層1805aが、フィールド絶縁膜1802上には p 型多結晶シリコン1804bと n 型の多結晶シリコン1805bが形成される。その後、少なくとも前述の p 型の拡散領域1803に隣接する単結晶シリコン1801とシリコン酸化膜1802の境界付近、及びシリコン酸化膜1802上の一部に砒素もしくはリンをイオン注入し、 p 型エピタキシャル層1804a及び p 型多結晶シリコン1804bを n 型の拡散層1806に反転させる(図34(a))。

【0108】次に、全面にシリコン酸化膜1807を堆積した後にこのシリコン酸化膜1807及び n 型エピタキシャル層1805a、 p 型エピタキシャル層1804aを異方性エッチングによりパターンニングする。このとき、 n 型エピタキシャル層1805aは完全にエッチングする必要はあるが p 型エピタキシャル層1804aは必しもエッチングする必要はなく、逆にシリコン基板1801にまでオーバーエッチングは入っても差し支えない。その後、全面にほう素を斜めイオン注入することにより、表面に露出しているシリコン基板1801に p 型の拡散層1808を形成する(図35)。

【0109】次に、全面にシリコン窒化膜1809を堆積して異方性エッチングを行うことにより、シリコン酸化膜1807、 n 型エピタキシャル層1805a、 p 型エピタキシャル層1804aの周囲にシリコン窒化膜側

10

20

30

40

50

壁1809を形成し、再びほう素をイオン注入することにより、前記p型拡散層1808中にp⁺型の拡散層1810を形成する(図36)。

【0110】次に、ベース引きだし電極となるほう素ドーパの多結晶シリコン1811を全面に堆積し、パターニングする(図37)。次に、エミッタ電極となるべき砒素ドーパのエピタキシャル層1805a上にあるシリコン酸化膜1807を露出させるために、この上にある多結晶シリコン1811をフォトリソグラフィ工程と等方性エッチング技術を用いて除去し、弗酸系のエッチングを用いてシリコン酸化膜1807を除去する(図38)。

【0111】次に、全面にチタニウムを堆積し、サリサイド工程(アニールしてエピタキシャルシリコン層1805a及び多結晶シリコン1811上のチタニウムのみを反応させてチタンシリサイドにし、酸を用いて未反応のチタンのみをエッチングする)を用いて、エピタキシャルシリコン層1805a及び多結晶シリコン1811上にチタンシリサイド膜1812を形成する(図39)。

【0112】最後に、全面にシリコン酸化膜1813を堆積し、このシリコン酸化膜1813にエミッタ、ベースコンタクト開口を形成し、アルミニウム電極1814を形成してトランジスタが完成する(図40)。

【0113】本実施例ではチタンシリサイドを用いているが、シリサイドを使用しなかったり他のシリサイドを用いても同様の効果が得られる。また、ほう素ドーパのエピタキシャル層4804a及び多結晶シリコン層1804bについては、選択エピタキシャル成長技術を用いて1804aのみとしても良く、砒素ドーパのn型エピタキシャル層1805aについては、エピタキシャル成長させる代わりに全面に砒素ドーパのn型多結晶シリコンを堆積しても同様の効果が得られる。

【0114】以上述べたように本実施例によれば、エピタキシャル技術により非常に薄いベース層を形成できる。また、素子分離シリコン酸化膜1802エッジのエミッタ電極1807がオーバーラップする部分に、あらかじめベース層と同一導電型の不純物を導入してp型の拡散領域1803を形成しており従来用いられていたPAD酸化膜の代わりにこの部分でエピタキシャルベースとエミッタ電極とのコンタクトを取っている。よってエミッタ領域とベース引きだし電極の距離を自己整合技術を用いてフォトリソグラフィ工程の合わせ余裕以下に縮小することが可能となる。

【0115】本発明によりトランジスタの遮断周波数が高かつベース抵抗の低いバイポーラデバイスの形成が可能となり、素子の速度性能を大きく向上させることができるようになる。

【0116】尚、本実施例のバイポーラトランジスタは、npn型トランジスタでもpnp型トランジスタで

もかまわない。従来高速論理動作または高周波アナログ動作を行うバイポーラトランジスタにおいては、その高速動作に有利な縦型のnpnトランジスタが用いられてきた。しかし回路上pnpトランジスタがぜひとも必要になる場合がありnpn型とpnp型を同時に形成することがある。しかし、縦型npnトランジスタと縦型pnpトランジスタを従来構造のまま組み合わせると製造工程が非常に複雑になり、コスト上の問題がある。また熱工程の設計においても問題があり、縦型npnトランジスタと縦型pnpトランジスタそれぞれから最大限に高性能を引き出すことが出来なかった。

【0117】次に説明する製造工程は上記の問題を解決するものである。まずp型基板1901上にn⁺拡散層1902を全面に形成した後、p⁺拡散層1903を選択的に形成する。さらに全面にエピタキシャル成長法等により、n型半導体層1904を形成し、イオン注入法および熱拡散によりp-well層1906を選択的に形成する。

【0118】トレンチ構造1909により素子分離を行なった後、絶縁膜1908を埋め込むことによりフィールド膜を形成する。次にn⁺ポリシリコン層1911を選択的に形成し、pnpトランジスタの外部ベース1914を拡散で形成する。

【0119】次にイオン注入によりpnpトランジスタの内部ベース1915を形成し、さらに低温エピタキシャル成長によりp型半導体層1912を形成することにより、pnpトランジスタのエミッタとnpnトランジスタのベースを同時に形成する。

【0120】さらにp⁺ポリシリコン1918により引き出し電極の形成を行い、絶縁膜1910を選択的に形成した後、メタル電極1917を形成し完成する(図41)。

【0121】上記の製造工程では、全体の熱工程を抑えるために低温エピ成長を用い、しかもpnpエミッタエビとnpnベースエビを同時に行なうため、npn型とpnp型トランジスタを同時に形成することが容易になる。

【0122】

【発明の効果】第1の発明により、ベースコレクタ間の空乏層幅を増加させることなく耐圧を確保することができる。第2乃至第4の発明により、ディープトレンチに囲まれた素子領域の面積を小さくすることができ、コレクタ・基板間の寄生容量あるいはベース引き出しの多結晶シリコンとコレクタとの間の寄生容量を防ぐことができる。

【0123】第5、第6の発明により、合せずれによる寸法の制限が緩和され素子微細化が実現される。第7乃至第9の発明により、エミッタとベース間で発生するアバランシェ降伏、ツェナー降伏、トンネル電流を抑制することができる。第10の発明によりトランジスタの遮

断周波数を高くすると同時にベース抵抗を小さくすることができる。

【図面の簡単な説明】

- 【図1】 実施例1の半導体装置を示す構造断面図。
- 【図2】 実施例1の半導体装置の不純物濃度分布図。
- 【図3】 実施例1の半導体装置の電界強度分布図。
- 【図4】 実施例1の半導体装置を示す工程断面図。
- 【図5】 実施例2の半導体装置を示す構造断面図。
- 【図6】 実施例2の半導体装置を示す工程断面図。
- 【図7】 実施例2の半導体装置を示す工程断面図。
- 【図8】 実施例2の半導体装置を示す工程断面図。
- 【図9】 実施例3の半導体装置を示す工程断面図。
- 【図10】 実施例3の半導体装置を示す工程断面図。
- 【図11】 実施例3の半導体装置を示す工程断面図。
- 【図12】 実施例4の半導体装置を示す構造断面図。
- 【図13】 実施例4の半導体装置を示す工程断面図。
- 【図14】 実施例4の半導体装置を示す工程断面図。
- 【図15】 実施例4の半導体装置を示す工程断面図。
- 【図16】 実施例5の半導体装置を示す構造断面図。
- 【図17】 実施例5の半導体装置を示す工程断面図。
- 【図18】 実施例6の半導体装置を示す工程断面図。
- 【図19】 実施例6の半導体装置を示す工程断面図。
- 【図20】 実施例6の半導体装置を示す工程断面図。
- 【図21】 実施例7の半導体装置を示す構造断面図。
- 【図22】 実施例7の半導体装置を示す工程断面図。
- 【図23】 実施例8の半導体装置を示す工程断面図。
- 【図24】 実施例8の半導体装置を示す工程断面図。
- 【図25】 実施例8の半導体装置を示す工程断面図。
- 【図26】 実施例9の半導体装置を示す工程断面図。
- 【図27】 実施例9の半導体装置を示す工程断面図。
- 【図28】 実施例9の半導体装置を示す工程断面図。
- 【図29】 実施例9の半導体装置を示す工程断面図。
- 【図30】 実施例9の半導体装置を示す工程断面図。
- 【図31】 実施例9の半導体装置を示す工程断面図。
- 【図32】 実施例9の半導体装置を示す工程断面図。
- 【図33】 実施例10の半導体装置を示す工程断面図。
- 【図34】 実施例10の半導体装置を示す工程断面図。
- 【図35】 実施例10の半導体装置を示す工程断面図。
- 【図36】 実施例10の半導体装置を示す工程断面図。
- 【図37】 実施例10の半導体装置を示す工程断面図。
- 【図38】 実施例10の半導体装置を示す工程断面図。
- 【図39】 実施例10の半導体装置を示す工程断面図。
- 【図40】 実施例10の半導体装置を示す工程断面図。

図。

【図41】 実施例10の半導体装置を示す工程断面図。

【図42】 従来の半導体装置を示す工程断面図。

【図43】 従来の半導体装置を示す工程断面図。

【図44】 従来の半導体装置を示す工程断面図。

【図45】 従来の半導体装置を示す工程断面図。

【図46】 従来の半導体装置を示す工程断面図。

【図47】 従来の半導体装置を示す特性図。

10 【図48】 従来の半導体装置を示す構造断面図。

【符号の説明】

101、301、1201、1701、1801、1901 半導体基板

102 コレクタ埋め込み層

103 i層

104 n型不純物層

105 素子分離溝

106、402、1211 ベース領域

107、401、513 エミッタ領域

20 108、403、510 コレクタ領域

201 素子領域

202、304、307、601、801 ディープトレンチ

203、305 シャロートレンチ

204、1204、1703、1908、1910 絶縁膜

302、308、505、506、906、1206、

1210、1802、1807、1813 酸化膜

303、306、502、503、705、901、9

30 04、905、907、1101、1103 フォトリジスト

404、512、1310、1410、1510、1610、1710、1807 エミッタ電極

405、803 ベース電極

406、804 コレクタ電極

407 配線金属

501、511、603、706、903、1205、

1213、1811、1911 多結晶シリコン

507、1708 真性ベース領域

40 509 外部ベース領域

602、802、1001 コンタクト用の溝

705、902、1002、1102、1104 溝

1003 コレクタ引き出し電極

1004、1202、1702 n⁺埋め込み層

1203 コレクタエピタキシャル層

1207 窒化膜

1208 開口

1209 エッチングストッパー

1212、1804 ベースエピタキシャル層

50 1308、1408、1508、1608 高濃度真性

23

ベース層

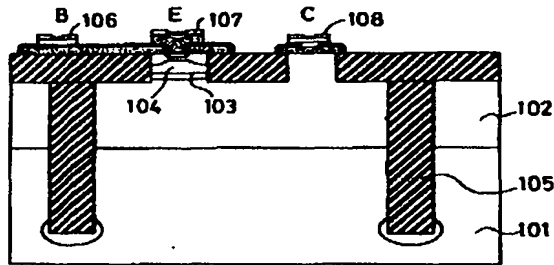
1309、1409、1509、1609、1709

イントリンシックドープ領域

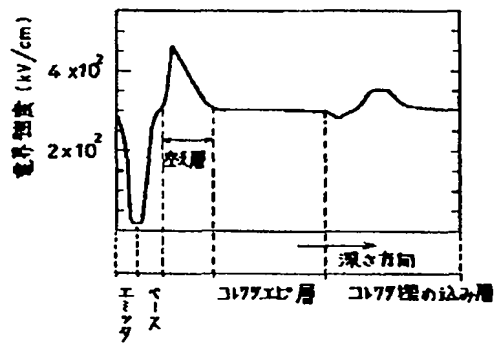
1803 拡散領域

1805 エミッタエピタキシャル層

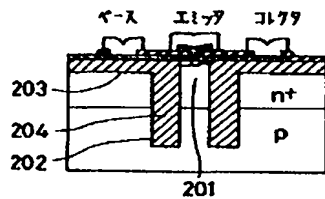
【図1】



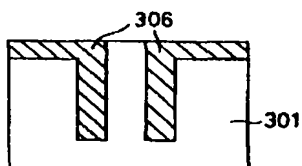
【図3】



【図5】



【図8】



24

1806、1902 n型拡散層

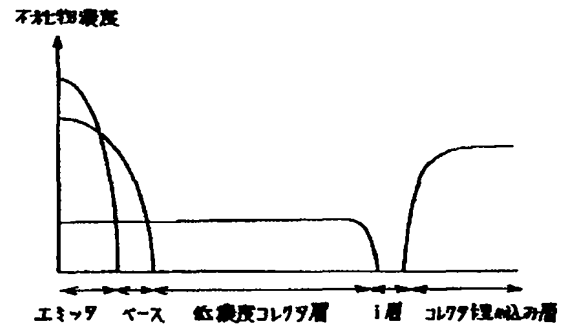
1808、1810、1903 p型拡散層

1809 シリコン窒化膜

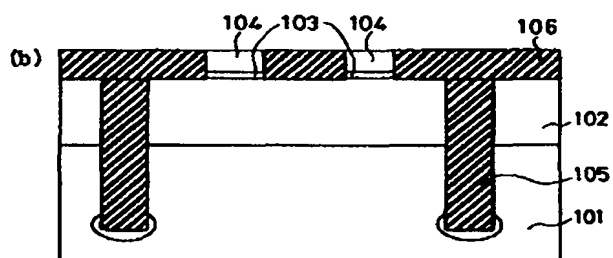
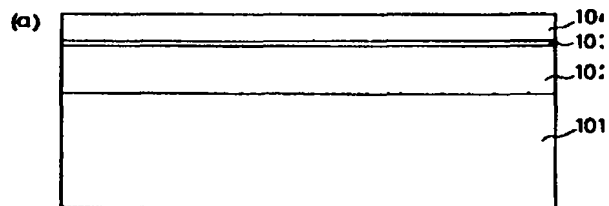
1812 チタンシリサイド膜

1917 メタル電極

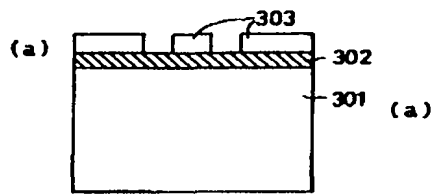
【図2】



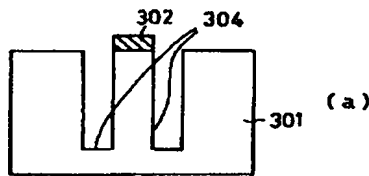
【図4】



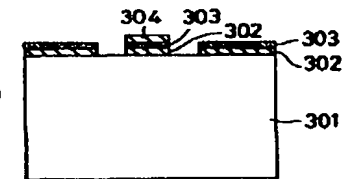
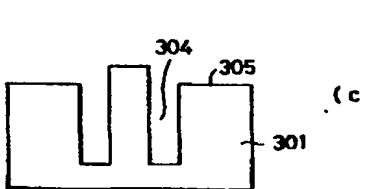
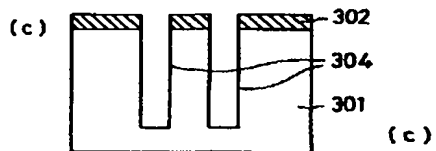
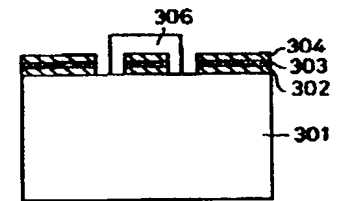
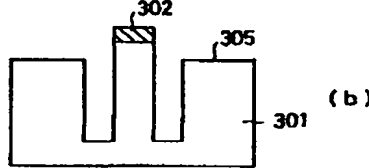
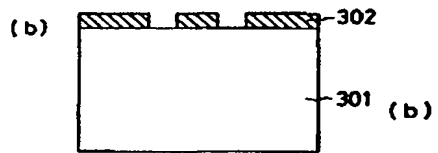
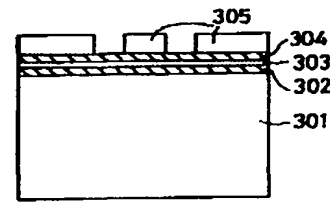
【図6】



【図7】



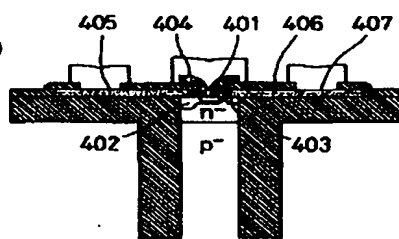
【図9】



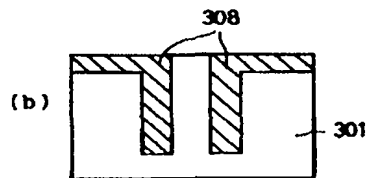
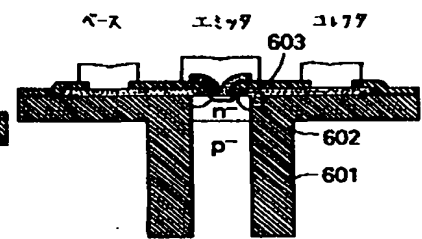
【図11】



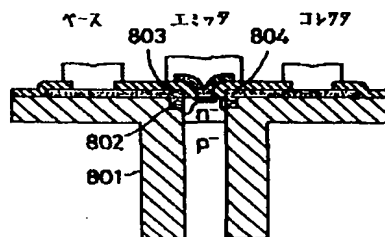
【図12】



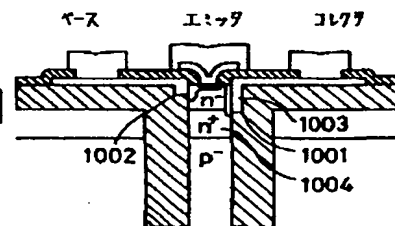
【図16】



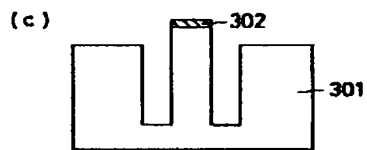
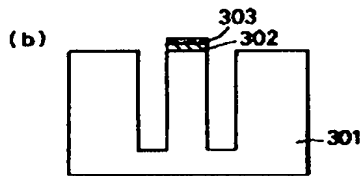
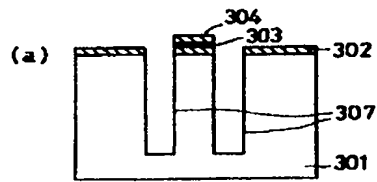
【図18】



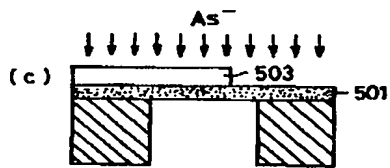
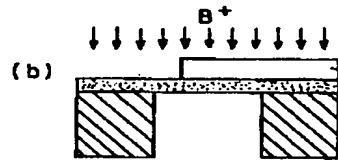
【図21】



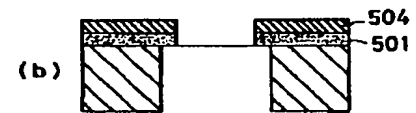
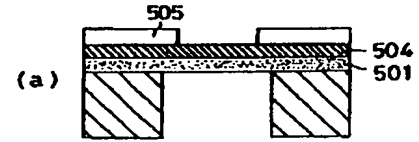
【図10】



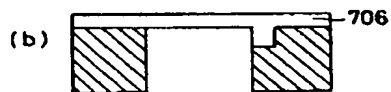
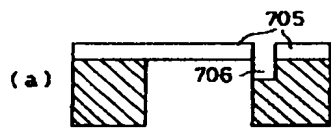
【図13】



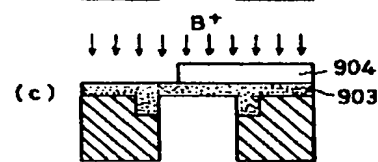
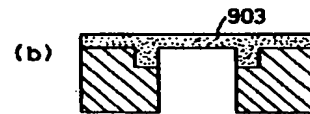
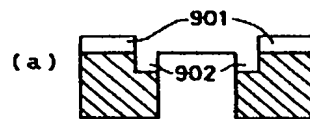
【図14】



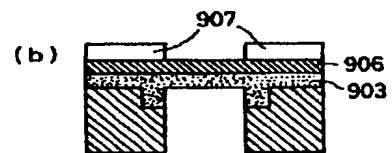
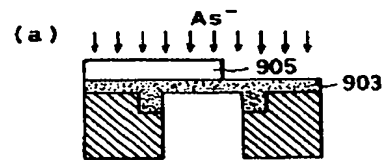
【図17】



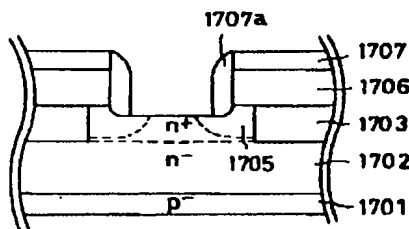
【図19】



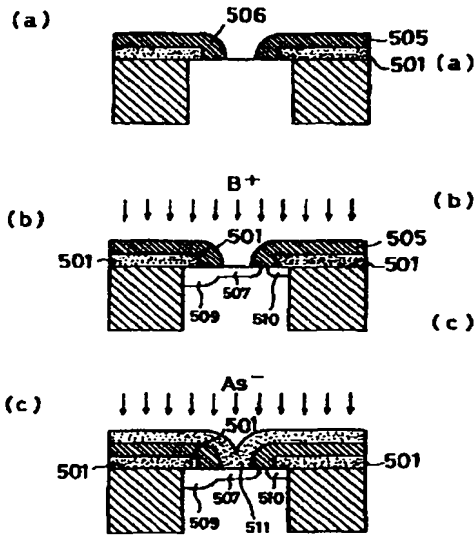
【図20】



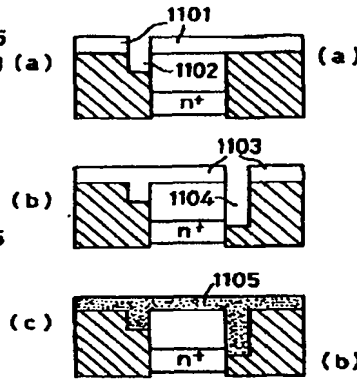
【図30】



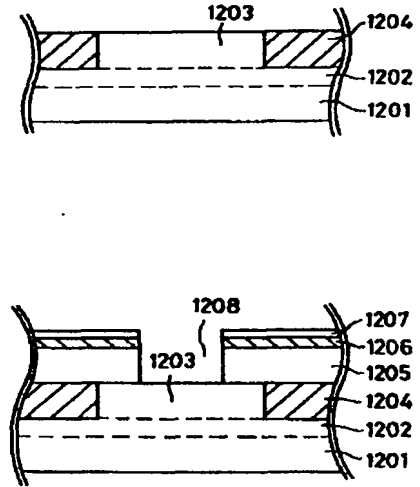
【図15】



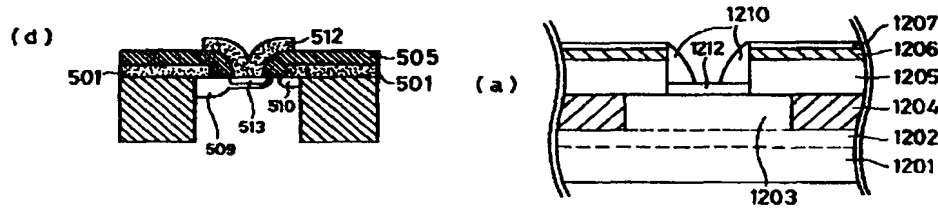
【図22】



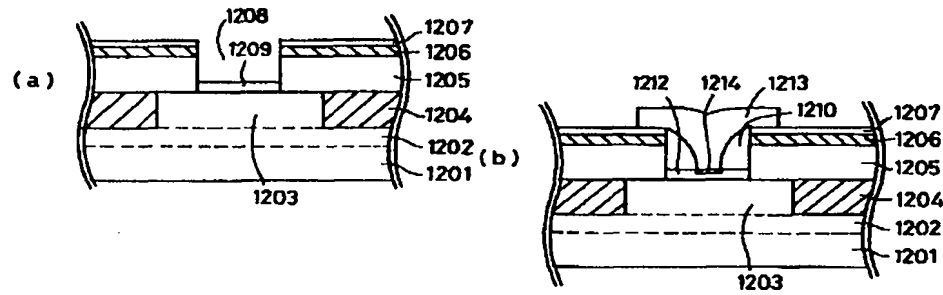
【図23】



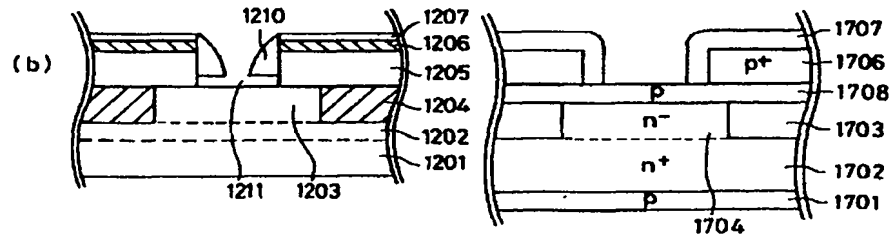
【図25】



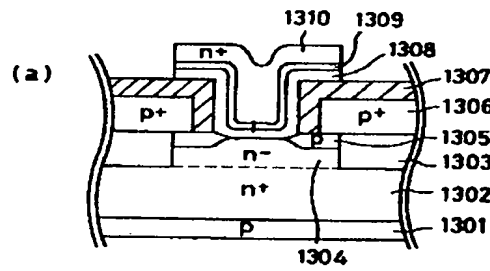
【図24】



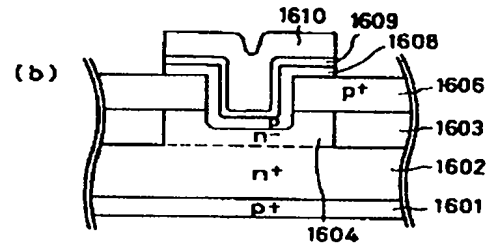
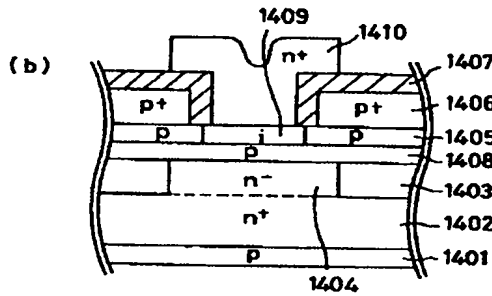
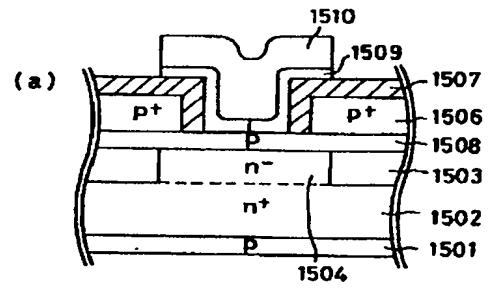
【図32】



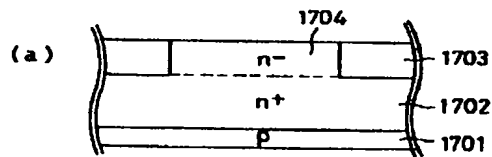
【図26】



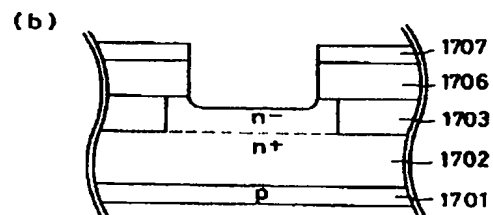
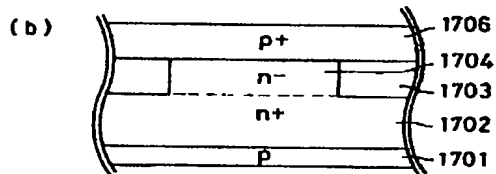
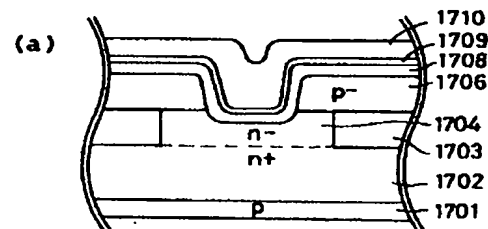
【図27】



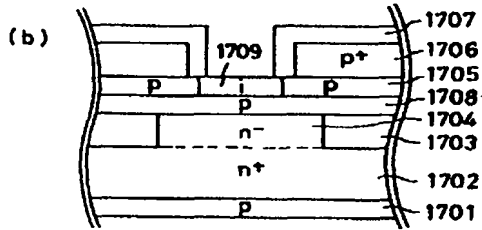
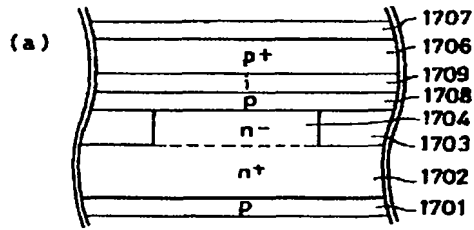
【図28】



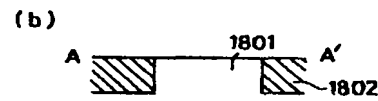
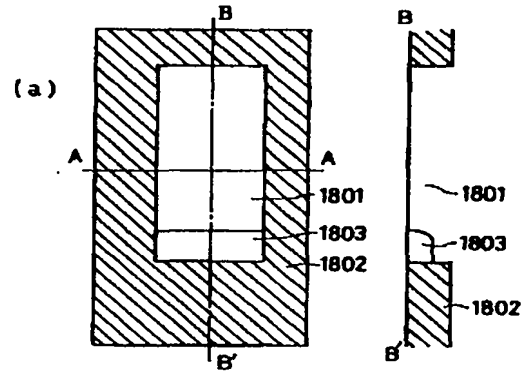
【図29】



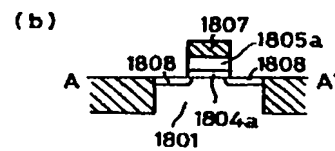
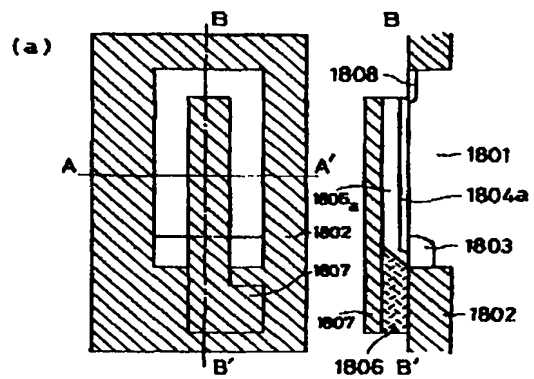
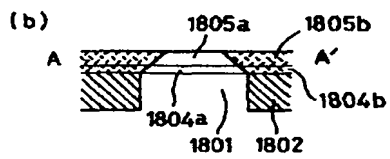
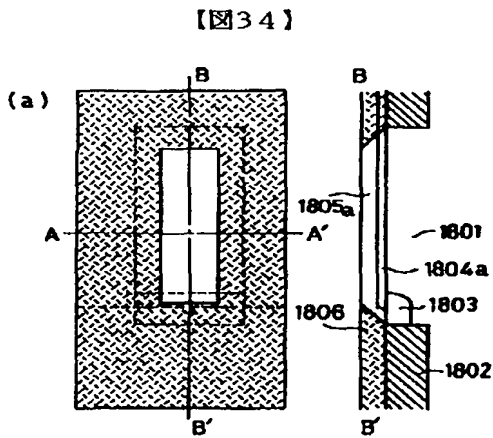
【図31】



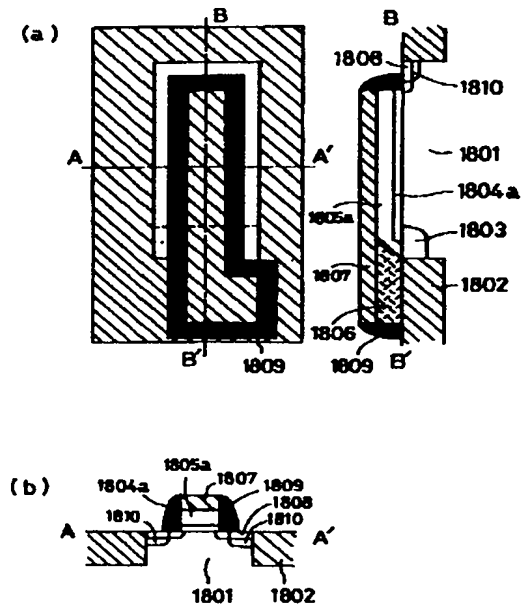
【図33】



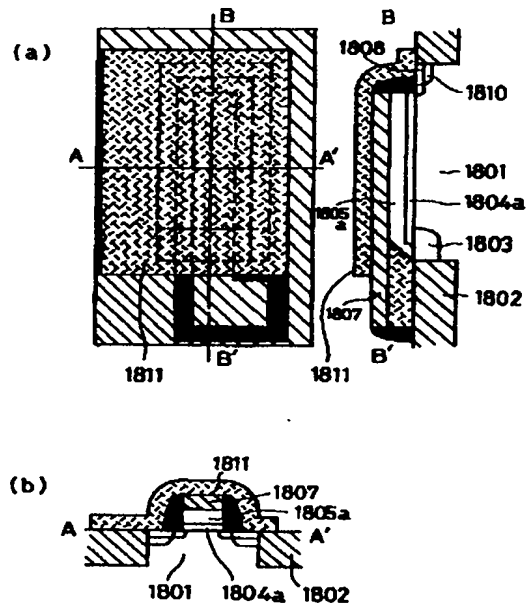
【図35】



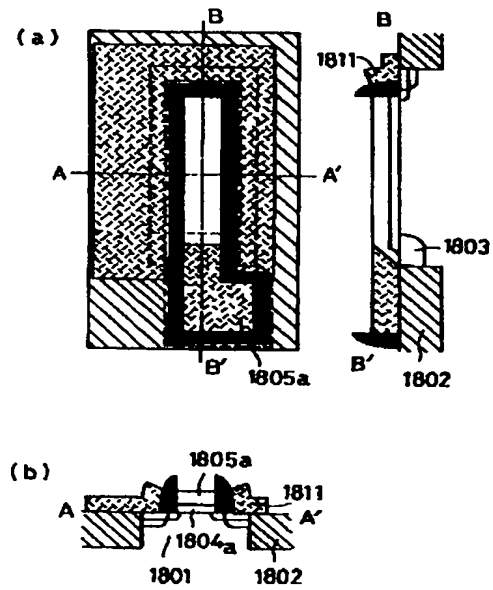
【図36】



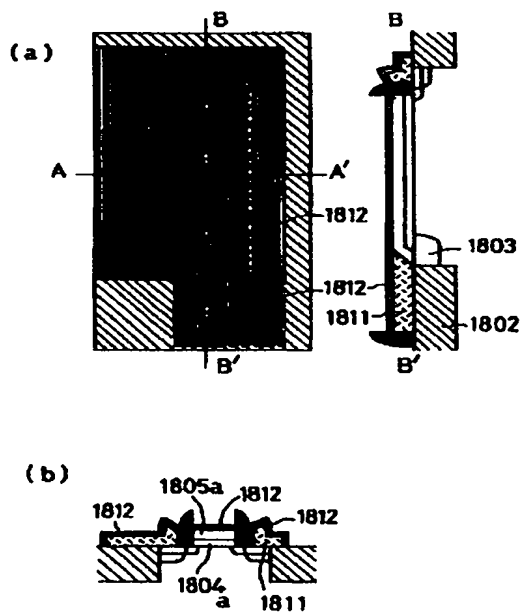
【図37】



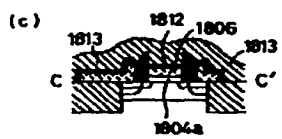
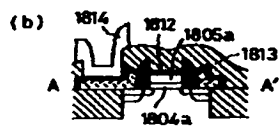
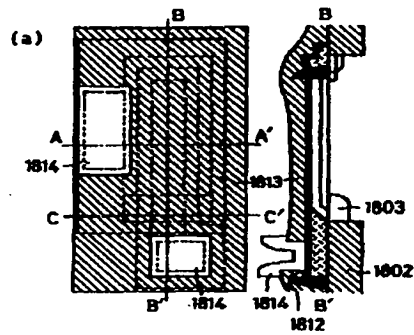
【図38】



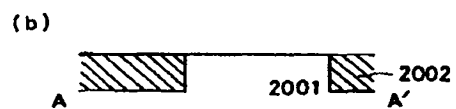
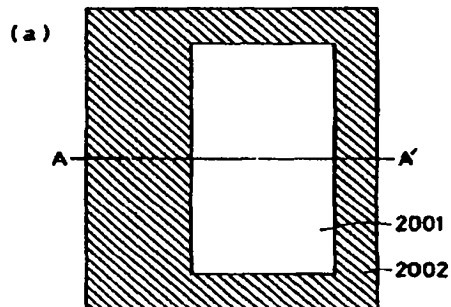
【図39】



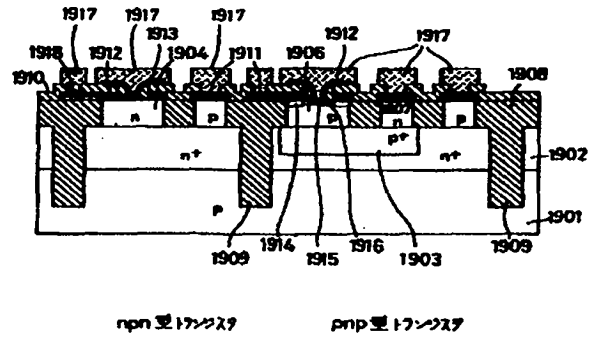
【図40】



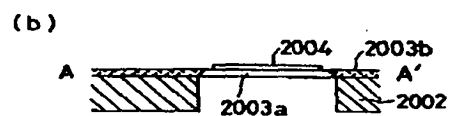
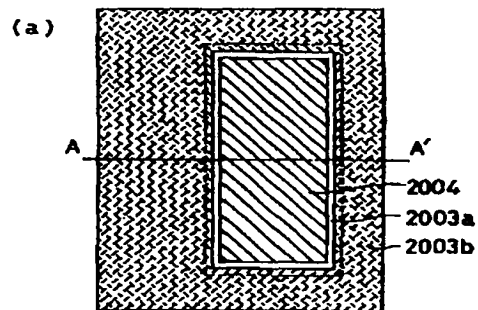
【例42】



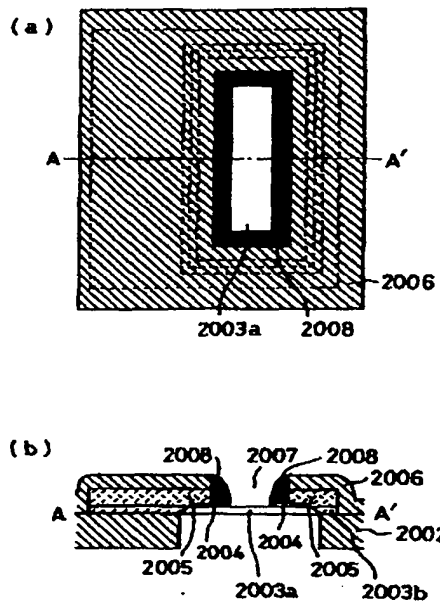
【☒41】



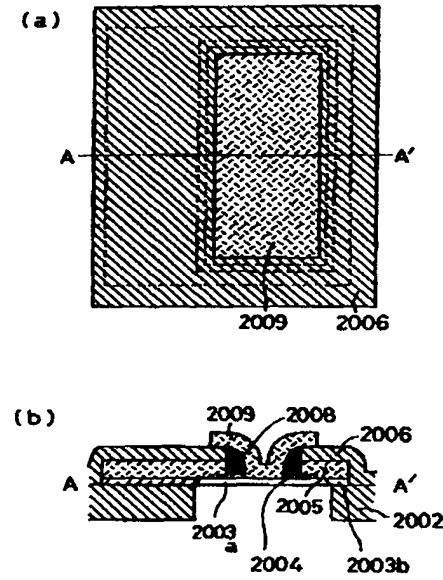
【例43】



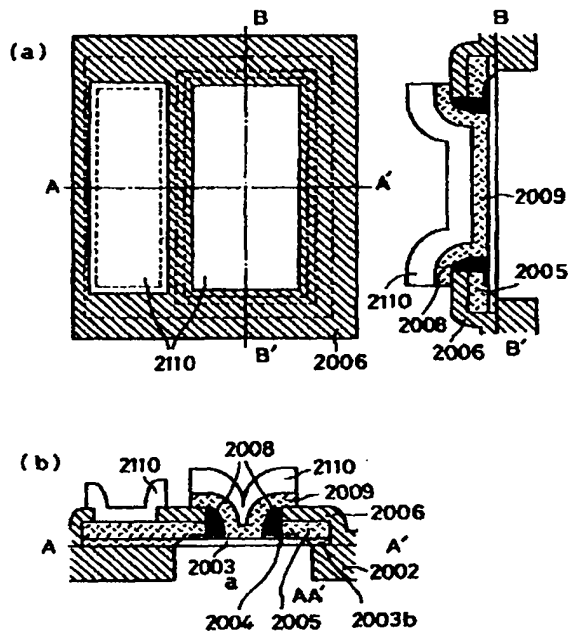
【図44】



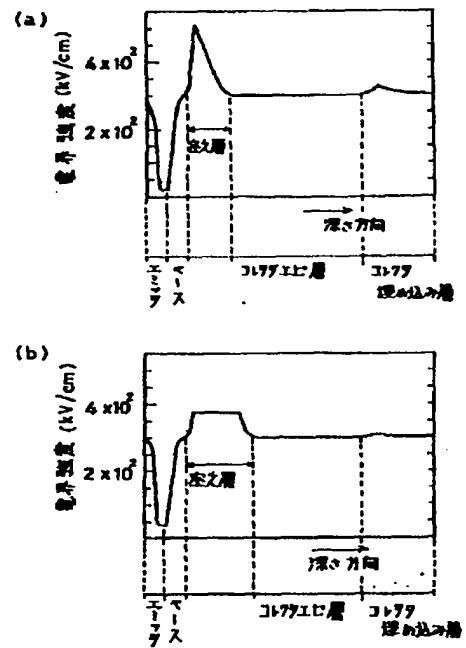
【図45】



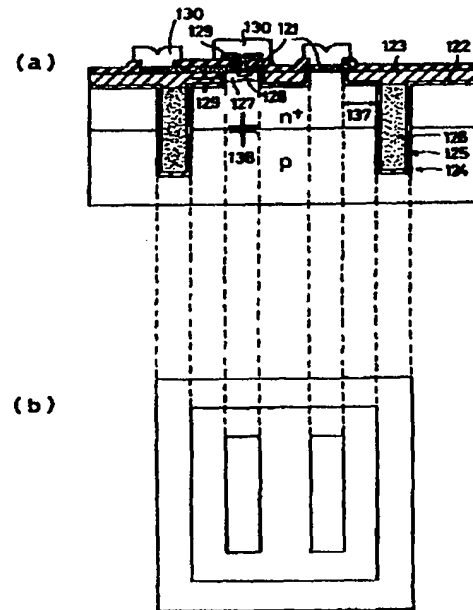
【図46】



【図47】



【図48】



フロントページの続き

(72)発明者 岩井 洋
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 井納 和美
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72)発明者 吉野 千博
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 臼田 宏治
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内